

明 細 書

圧電発振器

技術分野

- [0001] 本発明は圧電発振器に関し、特に周波数電圧制御や周波数温度補償等にMOS容量素子を利用した可変容量回路を用いた圧電発振器に関するものである。

背景技術

- [0002] バリキャップダイオードに代わる可変容量素子として現在注目を集めているのがMOS容量素子である。このMOS容量素子は、例えば携帯電話等に使用する温度補償型水晶発振器(以下TCXOと称す。)に利用するにあたって、少ない電圧変化でも大きな容量変化が得られるという特徴を有しているので、発振回路の低電圧化が進み可変容量素子に印加できる電圧も小さくせざるを得ない状況の下でも、実用上十分な容量特性を持つ。
- [0003] まず図12にIC内に設けた従来のMOS容量素子の構造を示す。これはアキュムレーション(蓄積)型と呼ばれるMOS容量素子の構造図である。同図において、P型シリコン基板(P-Sub)101は接地されており、その上にN-Well層102と、絶縁物としての酸化シリコンによるゲート酸化膜層103と、ポリシリコン等からなるゲート電極層104とが形成されていて、このゲート電極層104からゲート(Gate)電極が外部端子として取り出されている。そしてN-Well層102上のゲート酸化膜層103付近の二ヶ所にドナー不純物濃度の高いN型の引き出し電極(以下N+電極と称す。)105(MOSトランジスタにおけるドレイン及びソース領域)が形成されており、これらをショートして対向(Back Gate)電極が外部端子として取り出されている。
- [0004] 図13にこのアキュムレーション型MOS容量素子の、対向電圧に対するゲート電圧 V_{gb} (以下 V_{gb} と称す。)と対向電極とゲート電極との間に発生する容量値 C_{gb} (以下 C_{gb} と称す。)との特性の一例を示す。この特性曲線は、横軸の V_{gb} がプラス側のときは縦軸の C_{gb} が高い一定値であったものが、 V_{gb} が減少し0Vより低くなると C_{gb} は急峻に減少し、 V_{gb} がある値まで減少すると C_{gb} は低い一定値に安定するというものである。

また実際にはこの特性曲線は、ゲート電極層104とN-Well層102との不純物の濃度差による電位差や、ゲート酸化膜層103中のナトリウムイオン等の電荷による影響により、フラットバンド電圧 V_{fb} だけ左右にシフトするが、ここでは V_{fb} は0Vと仮定して説明する。

[0005] 以下に、 V_{gb} を図13中(1)から(6)まで順次減少させたときの、ゲート電極層104とN-Well層102中における相対的な電荷量の変化を、正孔又は電子の数の変化として、模式的に表した各図を基に詳細に説明する。

図14は、 V_{gb} がプラス側の図13中(1)付近の値にあり C_{gb} が高い一定値に安定した値の、ゲート電極層104とN-Well層102中の相対的な電荷の状態を表した模式図である。図14中のゲート電極層104内には、 V_{gb} がプラス側にある為に正孔106が蓄積されている。この正孔106の電界に引き寄せられたN+電極105中及びN-Well層102中の多数キャリアである電子が、正孔106の総電荷量と等しい電荷量分だけゲート酸化膜層103の下面に蓄積され、電子蓄積層107を形成している。よってここに、ゲート酸化膜層103の厚みに反比例した静電容量 C_{gb} が発生している。(以下これをゲート酸化膜容量と称す。)

次に、 V_{gb} が図13中(2)付近の値まで減少した状態を表したものが図15である。これはゲート電極層104に蓄積されていた正孔の減少と共に、ゲート酸化膜層103の下面に引き寄せられていた電子蓄積層107の電子も減少した様子である。図13中(1)から(2)までの値の V_{gb} により発生する C_{gb} は、ゲート酸化膜容量であり一定値となる。

[0006] 図16は、 V_{gb} が図13中(3)付近の0Vより僅かにマイナス側の値まで減少した状態を表す。ゲート電極層104中に蓄積されていた正孔106は電子108に代わり、それに伴い電子蓄積層107の電子は主にN+電極105中に吸収され、またゲート酸化膜層103下面近隣のN-Well層102がもつ自由電子は、N-Well層102中の深い層に放出される。よってゲート酸化膜層103の下面にはドナーイオンからなる空乏層109が形成される。この為 C_{gb} はゲート酸化膜容量とこの空乏層容量との直列合成容量値となり減少する。

更に V_{gb} が図13中(4)付近の値まで減少した状態を表したものが図17である。こ

のときゲート電極層104中の電子108の増加に伴い空乏層109はその幅を広げることになり、 C_{gb} の値は V_{gb} の減少に伴うこの空乏層幅の増加によって急峻に減少する。

- [0007] 更に V_{gb} を減少させて、 V_{gb} がある値(このN-Well層102と真性半導体との間に生じるビルトイン電圧の2倍が空乏層109に加わる値)以下となる図13中(5)付近の値になった状態を図18に表す。このとき空乏層109内においては、熱的に生成された電子正孔対により発生した少数キャリアである正孔が、空乏層109内の電界により力を受け、ゲート酸化膜層103下面に蓄積されて反転層110を形成する。この為空乏層109の幅は増加せず前記図17で表した幅と同等となる。

一方この反転層110中の正孔の増減には、熱的なキャリアの生成が関係する為に有限の時間が必要となり、高周波に使用する場合は静電容量として寄与しない。したがって高周波における電荷の増減は空乏層109の端のみで行なわれ、 V_{gb} が図13中(4)から(5)へ変化しても C_{gb} の値は変化しない。

この後更に V_{gb} が図13中(6)付近の値まで減少した状態を表したものが図19である。反転層110を形成する正孔は V_{gb} の減少に対し指数関数的に増加するので空乏層109の幅は変化せず、よって C_{gb} の特性は V_{gb} に対し一定値となる。

- [0008] またこの図13に示した容量特性の例では、電圧値の増加に対して容量値も増加する傾向を示しているが、これは上述の様にN-Well層上にN+電極を形成したアキュムレーション型MOS容量素子において、対向電圧を基準としてゲート電圧を掃引した場合等におけるものであり、P-Well層上にP+電極を設けた場合や、ゲート電圧を基準として対向電圧を掃引した場合においてはこの容量特性曲線の増加傾向は逆にもなる。

- [0009] 上述の様なMOS容量素子の容量特性を利用して、TCXOの外部周波数調整や周波数温度補償を行う様々な回路形態が提案されており、以下にその例を図を基に説明する。

図20はMOS容量素子を利用した第一の発振回路例である。これは増幅器に水晶振動子Xと、間接型温度補償回路と、直流阻止用コンデンサC1と、外部周波数調整回路と、直流阻止用コンデンサC2と、を直列に接続したものである。

同図中の外部周波数調整回路において、外部制御用MOS容量素子MA(以下、外部用MAと称す。)の対向電極側には外部制御回路から基準電圧信号Varefが入力抵抗R1を介して供給されていて、外部用MAのゲート電極側には外部制御回路から外部制御電圧信号Vafcが入力抵抗R2を介して供給されている。

また同図中の間接型温度補償回路においては、温度補償用MOS容量素子MC(以下、補償用MCと称す。)の対向電極には基準電圧信号Vrefが入力抵抗R3を介して供給されていて、ゲート電極には補償用制御電圧信号Vcoが入力抵抗R4を介して供給されている。そして前記基準電圧信号Vrefと補償用制御電圧信号Vcoのラインは制御回路に夫々接続されていて、その制御回路はサーミスタ等による感温素子に接続されている。

[0010] 前記外部用MA及び補償用MCに、前記図13に示すようなVgbの増加に伴いCgbが増加する容量特性を持つMOS容量素子を使用する。そして外部用MAについては、基準電圧信号Varefを基準として外部制御電圧信号Vafcをマイナス側からプラス側へと変化する様に、また補償用MCにおいても、基準電圧信号Vrefを基準として制御電圧信号Vcoをマイナス側からプラス側へと変化する様に夫々印加したとき、その周波数偏差は図21に示す様にVgbの増加に伴い減少する特性を得る。

[0011] ここで外部周波数調整回路においては、周波数制御範囲内における任意の周波数へ、外部制御回路によって対応する外部制御電圧信号を供給し調整することが可能となる。またこのとき図21の周波数可変特性は、前記図13の急峻なMOS容量素子の容量値変化に比較すると緩やかな変化となり、外部制御電圧信号Vafcによる微細な周波数調整が可能となる。

一方間接型温度補償回路においては、温度に対して曲線的に変化する水晶振動子の任意の周波数特性に対して、制御回路によって同様に変化する制御電圧信号を補償用MCに供給する。この供給すべき制御電圧信号はデジタルデータとして図示しないROM等に予め記憶しておき、制御回路に接続された感温素子による周囲温度の情報を基にデータを読み出し制御電圧信号を生成する。

今例えば図22に示す様な水晶振動子(ATカット)の周波数温度特性の補償を考える。この周波数温度特性は、常温(例えば25℃)以下の低温部においては温度の

低下に伴い周波数が曲線的に減少し、常温近傍において周波数の変化は小さく、常温以上の高温では温度の上昇に伴い周波数が曲線的に増加するという3次関数曲線である。

- [0012] ここでこの間接型温度補償回路においては、前記制御回路により温度に対して同様な3次関数曲線特性をもつ制御電圧信号を補償用MCに供給すれば、図22に示す3次関数曲線の周波数温度特性を相殺する負荷容量曲線を得ることができ、周波数の温度補償を行うことが可能となる。

しかしこの方式は、供給すべき3次関数曲線をもつ制御電圧信号をアナログ的に導出する為、複雑なロジック回路をIC化技術を駆使して実現する必要がある。

- [0013] そこでこの図22に示す3次関数曲線をもつ水晶振動子の温度補償を行う際に、MOS容量素子の本来有する曲線的な容量変化を利用したTCXOの温度補償方式が、本出願人により出願された特許文献1に開示されており以下にその原理を図を基に簡単に説明する。

- [0014] 前述のMOS容量素子の特性において、予めゲート電極からバックゲート電極へN-Well層102と真性半導体との間に生じるビルトイン電圧だけバイアスを印加しておくことにより、特性曲線を図23(A)に示す様に右にシフトさせ、 V_{gb} が0Vの点においてほぼ点対称となる特性をもつ二つのMOS容量素子を使用する。

すなわち、一方のMOS容量素子の V_{gb} が主にプラス側にあたる同図(A)中121の部分で常温及び常温より低温側の補償用として使用し、また他方のMOS容量素子の V_{gb} が主にマイナス側にあたる同図(A)中122の部分で常温及び常温より高温側の補償用として使用し、周囲の温度変化に対して連続的に取り出せるように構成する。

すると同図(B)に示す様に、前記図22に示した水晶振動子における周波数温度特性を相殺する様な負荷容量特性が得られ、周波数の温度補償を行うことが可能となる。

- [0015] この構成を実現する周波数温度補償回路を用いた第二の発振回路例を図24に示す。これは増幅器に水晶振動子Xと、直列温度補償回路と、を直列に接続したものである。

同図中の直列温度補償回路は、第一のMOS容量素子である高温部補償用MOS容量素子MH(以下、高温用MHと称す。)と第一の固定容量素子である調整用コンデンサC1との並列回路と、第二のMOS容量素子である低温部補償用MOS容量素子ML(以下、低温用MLと称す。)と第二の固定容量素子である直流阻止用及び調整用コンデンサC2との直列回路と、の直列接続からなっている。

前記低温用MLの対向電極とコンデンサC2との接続点には第二の制御電圧信号である低温部制御電圧信号VLが入力抵抗R1を介して供給されていて、前記高温用MHのゲート電極には入力抵抗R2を介して第一の制御電圧信号である高温部制御電圧信号VHが供給されている。そしてこの低温用MLのゲート電極と高温用MHの対向電極とを接続し、その接続点には入力抵抗R3を介して基準電圧信号Vrefが供給されている。

また前記低温部制御電圧信号VL、前記高温部制御電圧信号VH、及び前記基準電圧信号Vrefのラインは制御回路に夫々接続されていて、その制御回路はサーミスタ等による感温素子に接続されている。

[0016] ここで、同図中の感温素子に接続された制御回路によって、周囲温度が低温から常温を経て高温へと変化するのに伴い低温用MLの対向電極に、その低温用MLのゲート電極に入力された基準電圧信号Vrefを基準として、その電位差が0V近辺からマイナス側へ直線的に減少する(図23(A)において、Vgbが0V近辺からプラス側に直線的に増加することと等しい。)低温部制御電圧信号VLを供給する。一方、周囲温度が同じく低温から常温を経て高温へと変化するのに伴い高温用MHのゲート電極に、その高温用MHの対向電極に入力された前記基準電圧信号Vrefを基準として、その電位差がマイナス側から0V近辺へ直線的に増加する(図23(A)においても、Vgbがマイナス側から0V近辺へ直線的に増加することと等しい。)高温部制御電圧信号VHを供給する。

[0017] するとこの低温用MLの容量変化は、低温から常温に向かうにつれて急峻に増加し、常温及び常温以上においては僅少となる。一方、この高温用MHの容量変化は、低温から常温近辺においては僅少であり、常温より高温に向かうにつれて急峻に増加する。よってこの低温用ML及び高温用MHとの直列合成容量値は、互いの補償

温度範囲において干渉することはない。そしてこの低温用MLに直列に接続されたコンデンサC2及び高温用MHに並列に接続されたコンデンサC1の値を調整することにより、前記図23(B)に示す様な任意の負荷容量曲線を得ることが可能となる。

特許文献1:特開2001-60828

発明の開示

発明が解決しようとする課題

[0018] しかしながら前述のアクキュレーション型MOS容量素子の容量特性は、図25に示す容量値の低い領域(以下、Cmin領域と称す。)において、Cgbが経時的に不安定な領域が存在する。(ここで図25中(1)から(6)のVgbの値は前記図13中の夫々の値と一致している。)それはVgbをCmin領域よりプラス側からCmin領域内へ瞬時に変化させた直後は、Cgbは同図中の定常状態における特性である実線201上の値より僅かに低い点線202上の値となり、その後徐々に実線201上の値へ戻るという現象である。

この現象の原因としては、Vgbを図25中(4)よりプラス側の電位から例えば(5)まで瞬時に変化させた直後は、前述の図18中の反転層110を形成する正孔は生じず空乏層109の幅が増加し、その後有限の時間をかけて熱励起された正孔が反転層110を形成するのに伴って、その正孔の総電荷量分だけの空乏層109が消滅しその幅が減少する為と考えられる。またこの現象に要する時間は、空乏層内における少数キャリアである正孔が熱平衡状態に達する迄の時間と考えられる。

[0019] このCmin領域における、不安定な容量特性の様子を調べた実験結果を図26に示す。同図中の実験1乃至4に使用したMOS容量素子は全て同一のものであり、縦軸は容量値を示し横軸は放置時間を示していて、また容量値の測定周波数は1MHzである。これはVgbを初期電圧+4Vに約2分間放置した後、実験1においては-4Vへ、実験2においては-3Vへ、実験3においては-2Vへ、そして実験4においては-1Vへと瞬時にVgbを変化させ、その瞬間から放置時間に伴って変化する夫々の容量値を記録したものである。

[0020] 実験1のグラフを見ると、Vgbを初期電圧+4Vから-4Vへと変化させた瞬間から容量値は徐々に増加していき、約100秒間経過した後約9pFと一定の値に収束してい

る。この実験1のグラフから V_{gb} を $-4V$ に変化させた瞬間の容量値は、 V_{gb} が $-4V$ の定常状態における容量値に対して約18%低い値を示すことが分かる。実験2、実験3、実験4においても同様に、 V_{gb} を初期電圧から夫々 $-3V$ 、 $-2V$ 、 $-1V$ へと変化させた瞬間は夫々の定常状態の容量値より低い値、すなわち $-3V$ では定常状態の約17%、 $-2V$ では約14%、 $-1V$ では約7%低い値を示し、その後夫々の容量値は約100秒間かけて定常状態の値へと収束していく。

これらの実験により、前記 C_{min} の領域において V_{gb} が低いほど(定常状態の容量値が低い値ほど) V_{gb} を変化させた瞬間の減少分は大きく、その後定常状態へ収束するまでの時間は C_{min} の全領域において約100秒間であることが分かった。(またこの実験において初期電圧は $+4V$ であるが、この特性は初期電圧の値によらず、 C_{min} 領域よりプラス側の任意の電圧値を初期電圧とすれば同様な結果を得ることが確認済みである。)

- [0021] この C_{min} の領域において不安定な特性をもつ従来のアキュムレーション型MOS容量素子を、図20中の外部用MA及び補償用MCに使用した場合、周波数可変特性は前述の様に急峻なMOS容量素子の容量変化よりも緩やかであるので、図25中の C_{min} 不安定領域は図27中では周波数可変領域である同図中203の領域まで影響し、外部周波数可変特性及び間接型周波数温度補償特性の経時的不安定要因となる。

また、図24中の直列温度補償回路に使用した場合は、前述の様に高温用MHにおける常温近辺の負荷容量の不安定要因、すなわち常温周波数偏差の不安定要因となり重大な問題となる。

課題を解決するための手段

- [0022] 上記課題を解決する為に請求項1に記載の発明は、増幅器と、外部周波数調整回路と、圧電素子(圧電振動子)と、を直列に接続した構造の圧電発振器であって、前記外部周波数調整回路は、MOS容量素子を利用した電圧による可変容量回路であって、該MOS容量素子の対向電極に電圧値が一定である基準信号を供給し、ゲート電極に前記基準信号を中心とする制御信号を供給した構成を備えており、前記MOS容量素子が第一導電型のWell領域に形成された前記第一導電型とは逆導型

の第二導電型チャンネルトランジスタであり、前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型引き出し電極との間にバイアス電圧を与えたものであることを特徴としている。

[0023] 請求項2に記載の発明は、増幅器と、温度補償回路と、圧電素子と、を直列に接続した構造の圧電発振器であって、前記温度補償回路は、MOS容量素子を利用した電圧による可変容量回路であって、該MOS容量素子の対向電極に電圧値が一定である基準信号を供給し、ゲート電極に前記基準信号を中心とする補償用制御信号を供給した構成を備えており、前記MOS容量素子が第一導電型のWell領域に形成された前記第一導電型とは逆導型の第二導電型チャンネルトランジスタであり、前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型の引き出し電極との間にバイアス電圧を与えたものであることを特徴としている。

[0024] 請求項3に記載の発明は、増幅器と、温度補償回路と、圧電素子と、を直列に接続した構造の圧電発振器であって、前記温度補償回路は、直列に接続した二つのMOS容量素子を利用した電圧による可変容量回路であって、第一のMOS容量素子と第一の固定容量素子との並列回路と、第二のMOS容量素子と第二の固定容量素子との直列回路とを、前記第一のMOS容量素子の対向電極と、前記第二のMOS容量素子のゲート電極とが接続するように直列接続した構造であり、前記第一のMOS容量素子の対向電極と前記第二のMOS容量素子のゲート電極との接続点に電圧値が一定である基準信号を供給し、前記第一のMOS容量素子のゲート電極には第一の制御信号を供給し、前記第二のMOS容量素子の対向電極に第二の制御信号を供給する構成を備えており、前記二つのMOS容量素子がいずれも第一導電型のWell領域に形成された前記第一導電型とは逆導型の第二導電型チャンネルトランジスタであり、前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型の引き出し電極との間にバイアス電圧を与えたものであることを特徴としている。

[0025] 請求項4に記載の発明は、増幅器と、温度補償回路と、圧電素子と、を直列に接続した構造の圧電発振器であって、前記温度補償回路は、並列に接続した第一及び第二のMOS容量素子を利用した電圧による可変容量回路であって、前記第二のMOS容量素子と固定容量素子との直列回路と、前記第一のMOS容量素子とを、前記第二のMOS容量素子のゲート電極と、前記第一のMOS容量素子の対向電極とが接続するように並列接続した構造であり、前記第二のMOS容量素子のゲート電極と前記第一のMOS容量素子の対向電極との接続点に電圧値が一定である基準信号を供給し、前記第二のMOS容量素子の対向電極に第二の制御信号を供給し、前記第一のMOS容量素子のゲート電極に第一の制御信号を供給する構成を備えており、前記二つのMOS容量素子がいずれも第一導電型のWell領域に形成された前記第一導電型とは逆導型の第二導電型チャンネルトランジスタであり、前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型の引き出し電極との間にバイアス電圧を与えたものであることを特徴としている。

[0026] 請求項5に記載の発明は、請求項1乃至4のいずれか一項に記載の圧電発振器であって、前記夫々のMOS容量素子のゲート電極と対向電極の接続の向きをいずれも逆にしたことを特徴としている。

[0027] 請求項6に記載の発明は、請求項1乃至5のいずれか一項に記載の圧電発振器であって、前記第一導電型がN型であり、前記第二導電型がP型であることを特徴としている。

請求項7に記載の発明は、請求項1乃至5のいずれか一項に記載の圧電発振器であって、前記第一導電型がP型であり、前記第二導電型がN型であることを特徴としている。

発明の効果

[0028] 本発明によれば、前記第一導電型チャンネルトランジスタ或いは第二導電型チャンネルトランジスタとして、ソース及びドレイン領域に形成された第一導電型或いは第二導電型の引き出し電極と、第一導電型のWell領域に設けた第一導電型引き出し電極或いは第二導電型のWell領域に設けた第二導電型引き出し電極との間にバイア

ス電圧を与えたものとする事により、前記MOS容量素子の低容量値範囲における経時的不安定性は改善する。

そしてこの改善したMOS容量素子を、上記特許文献1に開示された様な温度補償回路、又は外部制御回路等に利用することにより、温度補償回路においては経時的な常温周波数特性の安定化、又は外部制御回路においては広い印加電圧範囲における経時的な周波数制御特性の安定化を可能とした。

発明を実施するための最良の形態

[0029] 図1は、本発明に利用するIC内に設けたPチャンネル(Pch)トランジスタ型MOS容量素子の構造図である。なお、図1～図9においては第一導電型がN型であり、第二導電型がP型である。

図1において、第二導電型(P型)シリコン基板(P-Sub)1は接地されており、その上に、第二導電型とは逆導型とされる第一導電型のWell領域(以下、N-Well層という)2と、絶縁物としての酸化シリコンによるゲート酸化膜層3と、ポリシリコン等からなるゲート電極層4とが形成されていて、このゲート電極層4からゲート(Gate)電極が外部端子として取り出されている。そしてN-Well層2上のゲート酸化膜層3付近のニヶ所にアクセプタ不純物濃度の高い第二導電型(P型)引き出し電極5(MOSTランジスタにおけるドレイン及びソース領域)が形成されており、これらP型引き出し電極5の周囲のN-Well層2との界面にはPN接合よりなる空乏層6が形成されている。またN-Well層2上にはドナー不純物濃度の高いN+引き出し電極7が形成されていて、ここから対向(Back Gate)電極が外部に引き出されている。ここで前記二つのP型引き出し電極5をショートした接続点8をマイナス側に、対向電極をプラス側にして電源9によりバイアス電圧が与えられている。また接続点8は接地されている。

[0030] 図2にこのPchトランジスタ型MOS容量素子の、対向電圧に対するゲート電圧 V_{gb} (前述と同様、以下 V_{gb} と称す。)と対向電極とゲート電極との間に発生する容量値 C_{gb} (前述と同様、以下 C_{gb} と称す。)との特性の一例を示す。この特性曲線は、従来技術で説明したアキュムレーション型MOS容量素子と同様に、横軸の V_{gb} がプラス側のときは C_{gb} が高い一定値であったものが、 V_{gb} が減少し0Vより低くなると C_{gb} は急峻に減少し、 V_{gb} がある値まで減少すると C_{gb} は低い一定値に安定するというもの

である。

また実際にはこの特性曲線は、フラットバンド電圧 V_{fb} だけ左右にシフトすることは前述と同様である。

[0031] 以下に、 V_{gb} を図2中(1)から(6)まで順次減少させたときの、ゲート電極層4とN-Well層2とにおける相対的な電荷量の変化を、正孔又は電子の数の変化として、模式的に表した各図を基に詳細に説明する。

図3は、 V_{gb} がプラス側の図2中(1)付近の値にあり C_{gb} が高い一定値に安定した値の、ゲート電極層4とN-Well層2中の相対的な電荷の状態を表した模式図である。図3中のゲート電極層4内には、 V_{gb} がプラス側にある為に正孔11が蓄積されている。この正孔11の電界に引き寄せられたN-Well層2中の多数キャリアである電子が、正孔11の総電荷量と等しい電荷量分だけゲート酸化膜層3の下面に蓄積され、電子蓄積層12を形成している。よってここに、ゲート酸化膜層3の厚みに反比例した静電容量 C_{gb} が発生している。(前述と同様に、以下これをゲート酸化膜容量と称す。)

次に、 V_{gb} が図2中(2)付近の値まで減少した状態を表したものが図4である。これはゲート電極層4に蓄積されていた正孔の減少と共に、ゲート酸化膜層3の下面に引き寄せられていた電子蓄積層12も減少した様子である。この図2中(1)から(2)までの値の V_{gb} により発生する C_{gb} は、ゲート酸化膜容量であり一定値となる。

[0032] 図5は、 V_{gb} が図2中(3)付近の0Vより僅かにマイナス側の値まで減少した状態を表す。ゲート電極層4中に蓄積されていた正孔11(図4参照)は電子13に代わり、それに伴い電子蓄積層12の電子(図4参照)、及びゲート酸化膜層3下面近隣のN-Well層2が持つ自由電子は、N-Well層2中の深い層に放出される。よってゲート酸化膜層3の下面にはドナーイオンからなる空乏層14が形成される。この為 C_{gb} は、ゲート酸化膜層容量とこの空乏層容量との直列合成容量値となり減少する。

更に V_{gb} が図2中(4)付近の値まで減少した状態を表したものが図6である。このときゲート電極層4中の電子13の増加に伴い空乏層14はその幅を広げることになり、 C_{gb} の値は V_{gb} の減少に伴うこの空乏層幅の増加によって急峻に減少する。

ここで図5、図6において、 V_{gb} がマイナス側に変化することで、ゲート電極には電子13が蓄積された模式図となっているが、接地されたP型引き出し電極5から対向電

極に電源9により十分なバイアス電圧を与えることによって、 V_{gb} が下がることでゲート電位が下がっても所謂しきい値電圧を超えることはなく、P型引き出し電極5からゲート酸化膜層3下面へ正孔が流入しPチャネルを形成することはない。

- [0033] 更に V_{gb} を減少させて、 V_{gb} がある値(前述と同様に、このN-Well層2と真性半導体との間に生じるビルトイン電圧の2倍が空乏層14に加わる値)以下となる図2中(5)付近の値になった状態を図7に表す。このとき前述のアキュムレーション型と同様に空乏層14内においては、熱的に生成された電子正孔対により小数キャリアである正孔が発生する。ここでこの発生した正孔は、P型引き出し電極5に吸収されGNDへ放出される。よってゲート酸化膜層3下面に反転層は形成されず空乏層幅は増加する。この為 V_{gb} が図2中のアキュムレーション型における C_{min} 不安定領域内へ瞬時に変化しても、小数キャリアである正孔は常に熱平衡状態にあるため、 C_{gb} は同図中実線部分の値になり、変化することはない。

この後 V_{gb} を更に減少させ図2中(6)付近の値になった状態を図8に示す。この場合も前述と同様に反転層は形成されず空乏層幅が増加する為に、従来のアキュムレーション型において見られた C_{min} 領域における不安定性は改善される。

- [0034] この図2における例では、簡単の為フラットバンド電圧 V_{fb} を0Vとして説明したが、前述のアキュムレーション型での説明の通り、予めゲート電極からバックゲート電極へN-Well層2と真性半導体との間に生じるビルトイン電圧だけバイアスを印加して、特性曲線を図23(A)に示す様に右にシフトさせることにより、0V点においてほぼ点対称な特性曲線を得ることが出来る。よってこのPchトランジスタ型MOS容量素子を前記図20中の外部用MA及び補償用MCとして組込めば、経時的に安定した外部周波数可変特性及び温度補償特性を実現する。また図24中の直列温度補償回路に組込めば、経時的に安定した常温周波数特性を実現する。

- [0035] また、Pchトランジスタ型MOS容量素子を利用した第三の発振回路の例を図9(A)及び図9(B)に示す。

これは増幅器に水晶振動子Xと、並列温度補償回路と、直流阻止用コンデンサC1と、を直列に接続したものである。

同図(A)中の並列温度補償回路は、第一のMOS容量素子である高温部補償用

MOS容量素子MH(前述同様に以下、高温用MHと称す。)と、第二のMOS容量素子である低温部補償用MOS容量素子ML(前述同様に以下、低温用MLと称す。)と固定容量素子である直流阻止及び調整用コンデンサC2との直列回路と、の並列接続からなっている。

また前記低温用MLの対向電極とコンデンサC2との接続点には第二の制御信号である低温部制御電圧信号VLが入力抵抗R1を介して供給されていて、前記高温用MHのゲート電極には入力抵抗R2を介して第一の制御信号である高温部制御電圧信号VHが供給されている。そしてこの低温用MLのゲート電極と高温用MHの対向電極とを接続し、その接続点には入力抵抗R3を介して基準信号(基準電圧信号)Vrefが供給されている。

そして、前記低温部制御電圧信号VL、前記高温部制御電圧信号VH、及び前記基準信号Vrefの各ラインは制御回路に夫々接続されていて、その制御回路はサーミスタ等による感温素子に接続されている。

[0036] この並列温度補償回路の動作については、本出願人により既に出願された特許出願において詳細に説明している。また周囲温度に対する低温用ML及び高温用MHの容量値は、前記直列温度補償回路で説明した内容と同様の原理により夫々変化し、この並列合成容量値の変化も前記直列温度補償回路と同様に夫々互いの補償温度範囲において干渉することなく、前記図23(B)に示す様な任意の負荷容量曲線を実現する。

従ってこの第三の発振回路例においても前述の直列温度補償回路と同様に、前記Cmin不安定性が改善され常温周波数の安定した温度補償特性を得ることができる。

[0037] またここで、図2におけるMOS容量素子を構成する半導体の導電型を逆としNchトランジスタ型としたMOS容量素子を、前記第一の発振回路例、又は第二の発振回路例、又は第三の発振回路例に組込んでも、前述と同様な効果が期待できる。

図9(B)は、上記図9(A)に示した発振器の変形実施例であって、図9(A)と異なる点は発振回路の第一のMOS容量である高温部補償用MOS容量素子MHと、第二のMOS容量素子である低温部補償用MOS容量素子MLのゲート電極と対抗電極

の接続の向きをいずれも逆としたものである。

このように構成し、かつ第一及び第二の制御信号を供給することにより、図9(A)と同様の温度補償を行うことができる。

図10にIC内に設けたNchトランジスタ型MOS容量素子の構造図を示し、その容量変化の特性曲線を図11に示す。なお、図10、図11においては第一導電型がP型であり、第二導電型がN型である。

この容量特性曲線図11は、前記Pchトランジスタ型MOS容量素子の特性とは逆の増加傾向を示し、 V_{gb} がマイナス側のときは C_{gb} が高い一定値であったものが、 V_{gb} が増加するにつれて C_{gb} は急峻に減少し、 V_{gb} がある値まで増加すると C_{gb} は低い一定値に安定するという特性を示す。

また図10は、図11中 V_{gb} が(1)付近の状態のゲート電極層24とP-Well層22とにおける相対的な電荷量の変化を、正孔又は電子の数の変化として模式的に表している。

[0038] 図10において、第二導電型(N型)シリコン基板(N-Sub)21には電圧 V_{dd} の電源32に接続されており、その上に第一導電型のWell領域(以下、P-Well層という)22と、絶縁物としての酸化シリコンによるゲート酸化膜層23と、ポリシリコン等からなるゲート電極層24とが形成されていて、このゲート電極層24からゲート(Gate)電極が外部端子として取り出されている。そしてP-Well層22上のゲート酸化膜層23付近の二ヶ所にドナー不純物濃度の高い第二導電型(N型)引き出し電極25(MOSTランジスタにおけるドレイン及びソース領域)が形成されており、これらN型引き出し電極25の周囲のP-Well層22との界面にはPN接合よりなる空乏層26が形成されている。

[0039] そしてP-Well層22上にはアクセプタ不純物濃度の高いP+引き出し電極27が形成されていて、ここから対向(Back Gate)電極が外部に引き出されている。ここで前記二つのN型引き出し電極25をショートした接続点28をプラス側に、対向電極をマイナス側にして電源29によりバイアス電圧が与えられている。(前記Pchトランジスタ型のバイアスとは逆方向である。)またこの接続点28は前記電源32に接続されている。

また、図10中のゲート電極層24内には、 V_{gb} がプラス側にある為に正孔30が蓄積

されている。この正孔30の電界により、ゲート酸化膜23下面近隣のP-Well層が持つ正孔はP-Well層中の深い層に放出され、アクセプタイオンからなる空乏層31が形成される。そして前述と同様、この空乏層31内において、熱的に生成された電子正孔対により発生した小数キャリアである電子が発生するが、N型引き出し電極25に吸収され反転層を形成することがなく、よってCmin領域における不安定性は改善される。

更にまた、前述のPchトランジスタ型と同様に、対向電極からN型引き出し電極25には電源29により十分なバイアス電圧を与えているので、 V_{gb} が増加することでゲート電位が上がっても所謂しきい値電圧を超えることはなく、Nチャネルを形成することはない。

[0040] そしてこの図11において、前述のPchトランジスタ型MOS容量素子の容量特性で説明した内容と同様に、予めゲート電極からバックゲート電極へN-Well層22と真性半導体との間に生じるビルトイン電圧だけバイアスを印加しておくことにより、特性曲線を右にシフトすれば V_{gb} が0Vの点においてほぼ点対称な特性曲線を得られ、前記第二の発振回路例、又は第三の発振回路例で説明した温度補償回路にも利用することができる。

またこの発明は、水晶振動子を用いた水晶発振器に限らず、例えばセラミックやランガサイトを用了他の圧電素子(圧電振動子)を用いた圧電発振器にも適用出来ることは言うまでもない。

図面の簡単な説明

- [0041] [図1]Pchトランジスタ型MOS容量素子の構造図。
[図2]Pchトランジスタ型MOS容量素子の容量特性を示す図。
[図3]Pchトランジスタ型MOS容量素子の電荷の模式図。
[図4]Pchトランジスタ型MOS容量素子の電荷の模式図。
[図5]Pchトランジスタ型MOS容量素子の電荷の模式図。
[図6]Pchトランジスタ型MOS容量素子の電荷の模式図。
[図7]Pchトランジスタ型MOS容量素子の電荷の模式図。
[図8]Pchトランジスタ型MOS容量素子の電荷の模式図。

- [図9]MOS容量素子を利用した第三の発振回路例を示す図。
- [図10]Nchトランジスタ型MOS容量素子の構造図。
- [図11]Nchトランジスタ型MOS容量素子の容量特性を示す図。
- [図12]アキュムレーション型MOS容量素子の構造図。
- [図13]アキュムレーション型MOS容量素子の容量特性1を示す図。
- [図14]アキュムレーション型MOS容量素子の電荷の模式図。
- [図15]アキュムレーション型MOS容量素子の電荷の模式図。
- [図16]アキュムレーション型MOS容量素子の電荷の模式図。
- [図17]アキュムレーション型MOS容量素子の電荷の模式図。
- [図18]アキュムレーション型MOS容量素子の電荷の模式図。
- [図19]アキュムレーション型MOS容量素子の電荷の模式図。
- [図20]MOS容量素子を利用した第一の発振回路例を示す図。
- [図21]MOS容量特性を利用した周波数可変特性1を示す図。
- [図22]水晶振動子(ATカット)の周波数温度特性を示す図。
- [図23]MOS容量特性より3次関数曲線負荷容量特性を得る仕組みを示す図。
- [図24]MOS容量素子を利用した第二の発振回路例を示す図。
- [図25]アキュムレーション型MOS容量素子の容量特性2を示す図。
- [図26]Cmin容量値放置実験を示す図。
- [図27]MOS容量特性を利用した周波数可変特性2を示す図。

符号の説明

- [0042] C1,C2,C3 固定コンデンサ、R1,R2,R3,R4,R5 固定抵抗素子、MC,MA,ML, MH MOS容量素子、VL,VH,Vref,Varef 制御信号、X 水晶振動子。

請求の範囲

- [1] 増幅器と、外部周波数調整回路と、圧電素子と、を直列に接続した構造の圧電発振器であって、

前記外部周波数調整回路は、MOS容量素子を利用した電圧による可変容量回路であって、該MOS容量素子の対向電極に電圧値が一定である基準信号を供給し、ゲート電極に前記基準信号を中心とする制御信号を供給した構成を備えており、

前記MOS容量素子が第一導電型のWell領域に形成された前記第一導電型とは逆導型の第二導電型チャンネルトランジスタであり、

前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型引き出し電極との間にバイアス電圧を与えたものであることを特徴とする圧電発振器。

- [2] 増幅器と、温度補償回路と、圧電素子と、を直列に接続した構造の圧電発振器であって、

前記温度補償回路は、MOS容量素子を利用した電圧による可変容量回路であって、該MOS容量素子の対向電極に電圧値が一定である基準信号を供給し、ゲート電極に前記基準信号を中心とする補償用制御信号を供給した構成を備えており、

前記MOS容量素子が第一導電型のWell領域に形成された前記第一導電型とは逆導型の第二導電型チャンネルトランジスタであり、

前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型の引き出し電極との間にバイアス電圧を与えたものであることを特徴とする圧電発振器。

- [3] 増幅器と、温度補償回路と、圧電素子と、を直列に接続した構造の圧電発振器であって、

前記温度補償回路は、直列に接続した二つのMOS容量素子を利用した電圧による可変容量回路であって、第一のMOS容量素子と第一の固定容量素子との並列回路と、第二のMOS容量素子と第二の固定容量素子との直列回路とを、前記第一の

MOS容量素子の対向電極と、前記第二のMOS容量素子のゲート電極とが接続するように直列接続した構造であり、

前記第一のMOS容量素子の対向電極と前記第二のMOS容量素子のゲート電極との接続点に電圧値が一定である基準信号を供給し、前記第一のMOS容量素子のゲート電極には第一の制御信号を供給し、前記第二のMOS容量素子の対向電極に第二の制御信号を供給する構成を備えており、

前記二つのMOS容量素子がいずれも第一導電型のWell領域に形成された前記第一導電型とは逆導型の第二導電型チャンネルトランジスタであり、

前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型の引き出し電極との間にバイアス電圧を与えたものであることを特徴とする圧電発振器。

- [4] 増幅器と、温度補償回路と、圧電素子と、を直列に接続した構造の圧電発振器であって、

前記温度補償回路は、並列に接続した第一及び第二のMOS容量素子を利用した電圧による可変容量回路であって、前記第二のMOS容量素子と固定容量素子との直列回路と、前記第一のMOS容量素子とを、前記第二のMOS容量素子のゲート電極と、前記第一のMOS容量素子の対向電極とが接続するように並列接続した構造であり、

前記第二のMOS容量素子のゲート電極と前記第一のMOS容量素子の対向電極との接続点に電圧値が一定である基準信号を供給し、前記第二のMOS容量素子の対向電極に第二の制御信号を供給し、前記第一のMOS容量素子のゲート電極に第一の制御信号を供給する構成を備えており、

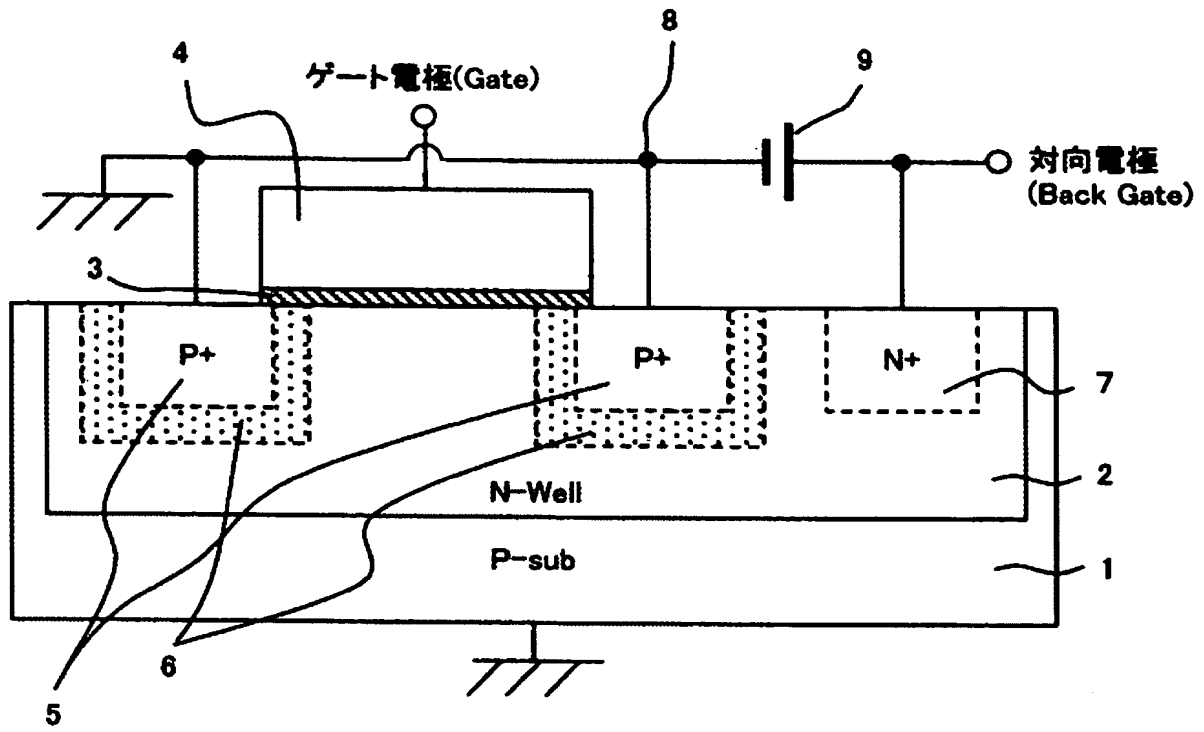
前記二つのMOS容量素子がいずれも第一導電型のWell領域に形成された前記第一導電型とは逆導型の第二導電型チャンネルトランジスタであり、

前記第二導電型チャンネルトランジスタのソース及びドレイン領域に形成された第二導電型の引き出し電極と、前記第一導電型のWell領域に形成された第一導電型の引き出し電極との間にバイアス電圧を与えたものであることを特徴とする圧電発振

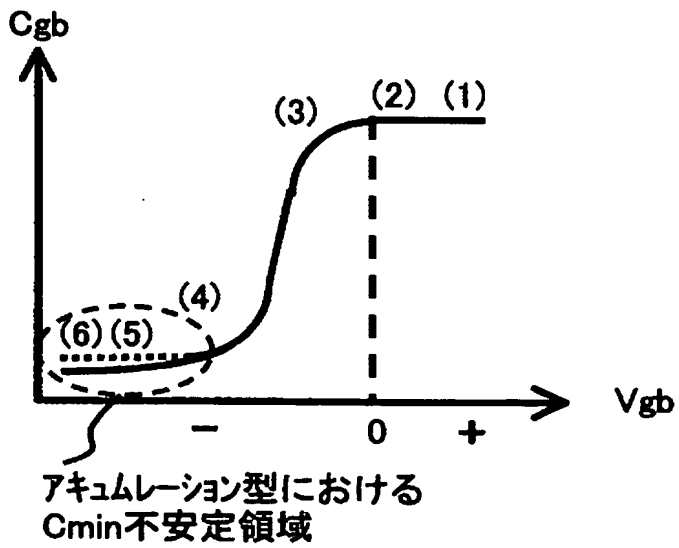
器。

- [5] 前記夫々のMOS容量素子のゲート電極と対向電極の接続の向きをいずれも逆にしたことを特徴とする、請求項1乃至4のいずれか一項に記載の圧電発振器。
- [6] 前記第一導電型がN型であり、前記第二導電型がP型であることを特徴とする、請求項1乃至5のいずれか一項に記載の圧電発振器。
- [7] 前記第一導電型がP型であり、前記第二導電型がN型であることを特徴とする、請求項1乃至5のいずれか一項に記載の圧電発振器。

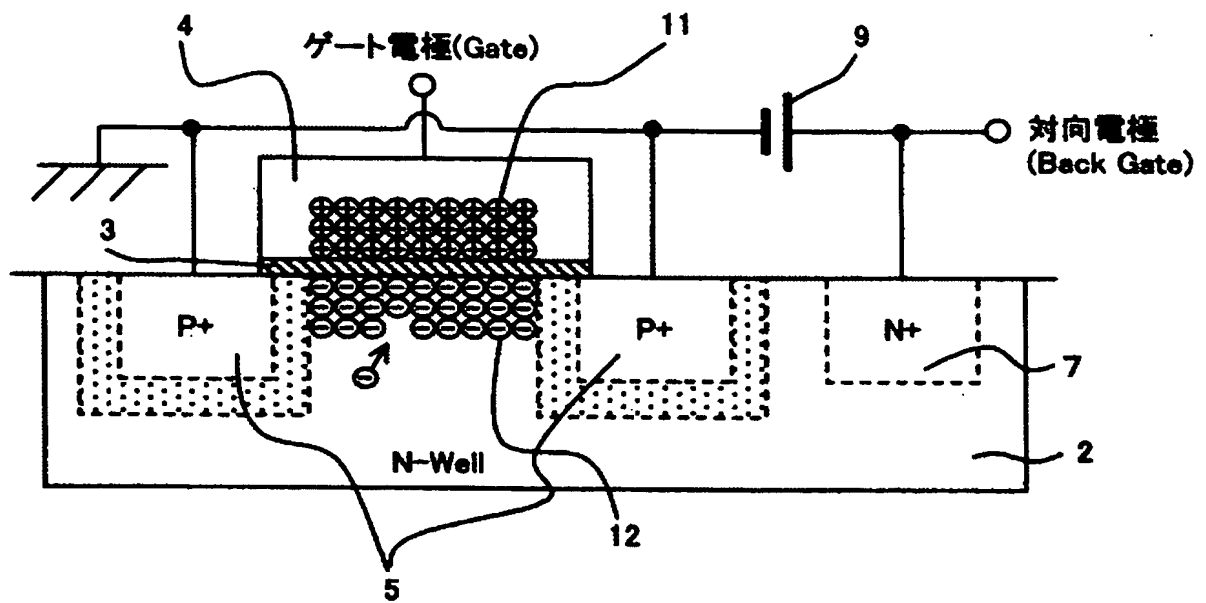
[図1]



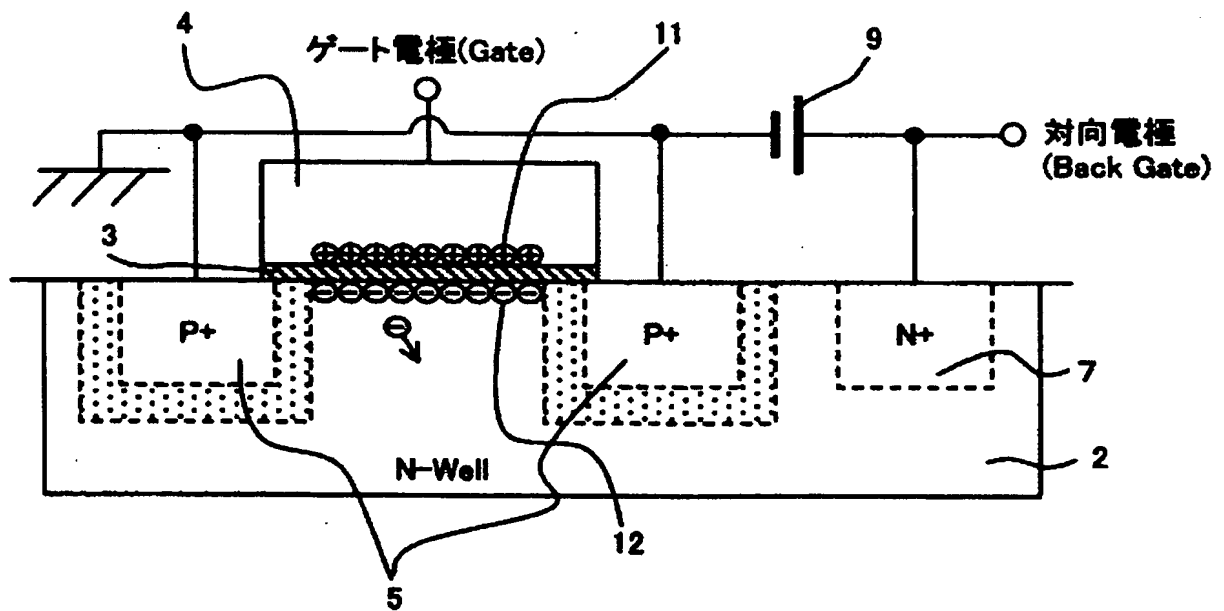
[図2]



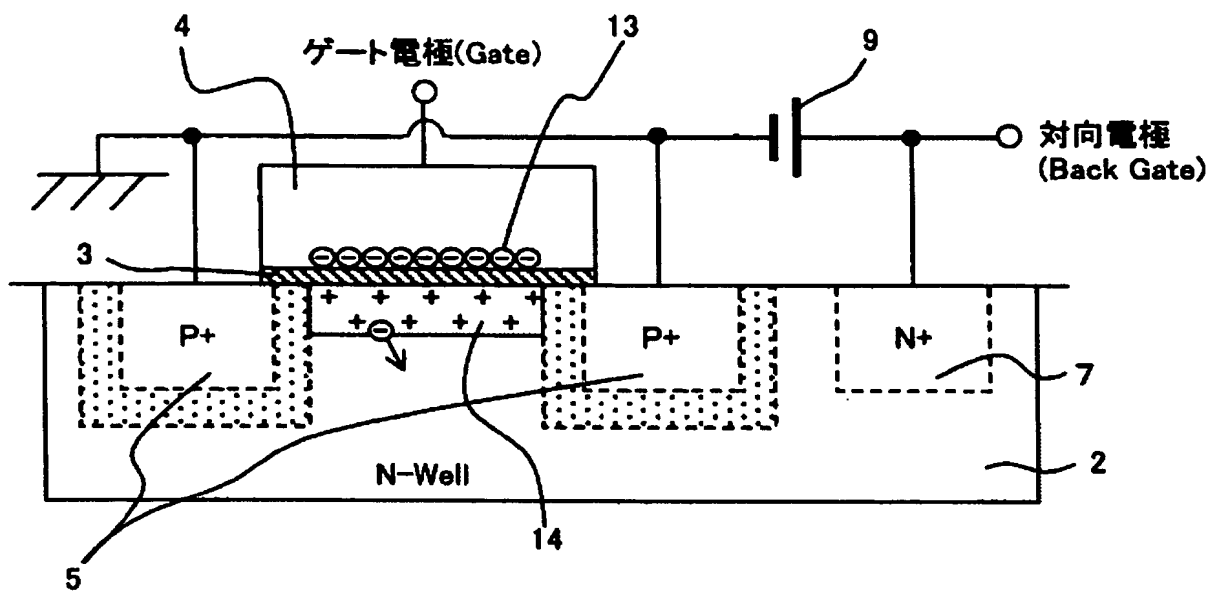
[図3]



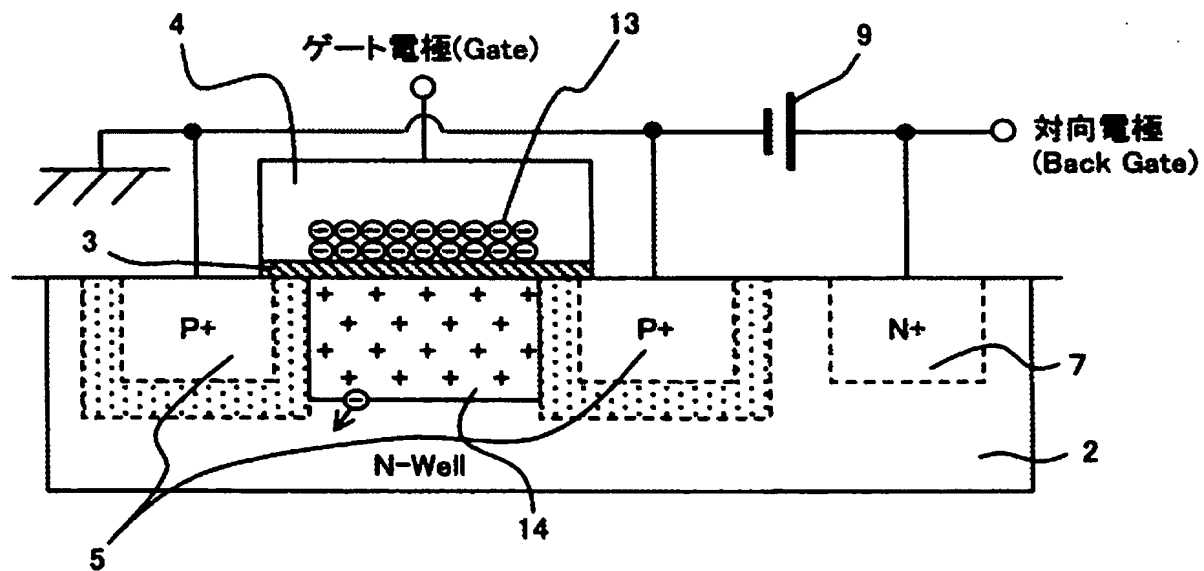
[図4]



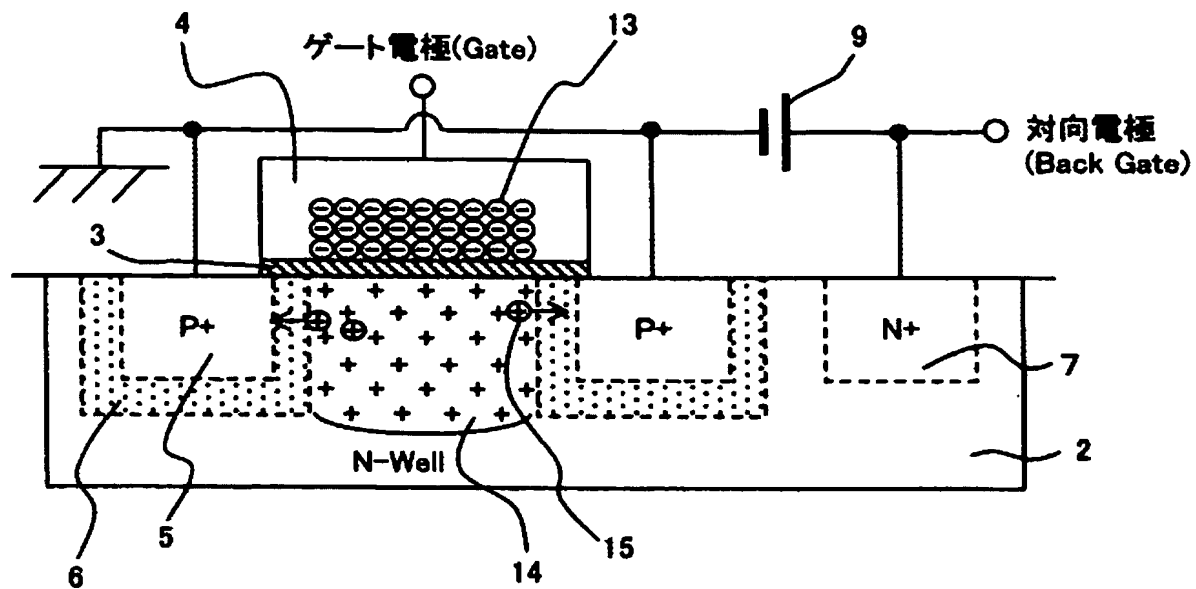
[図5]



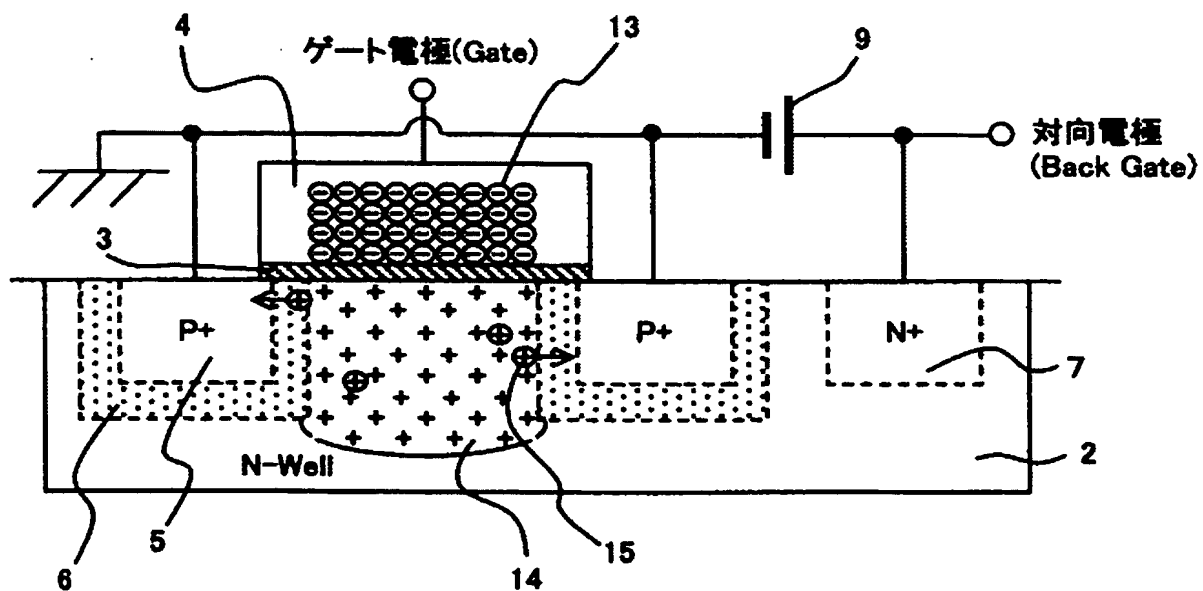
[図6]



[図7]

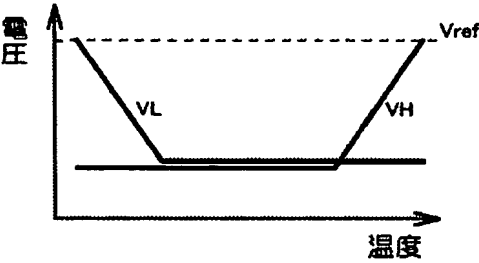
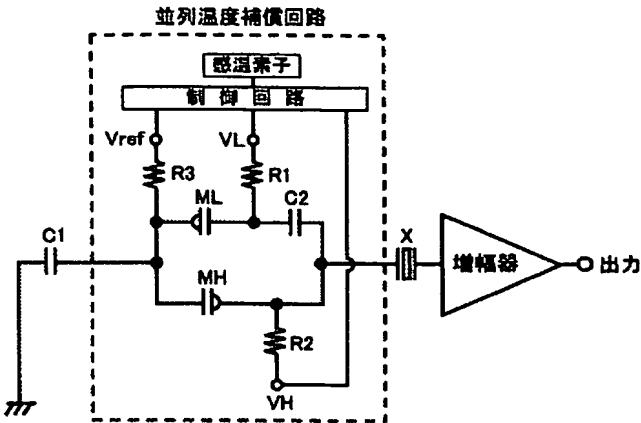


[図8]

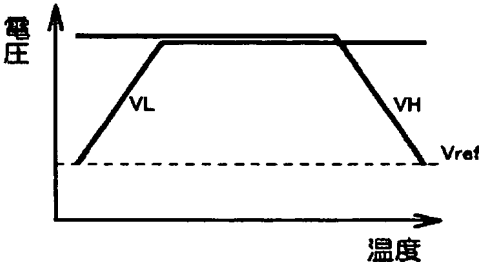
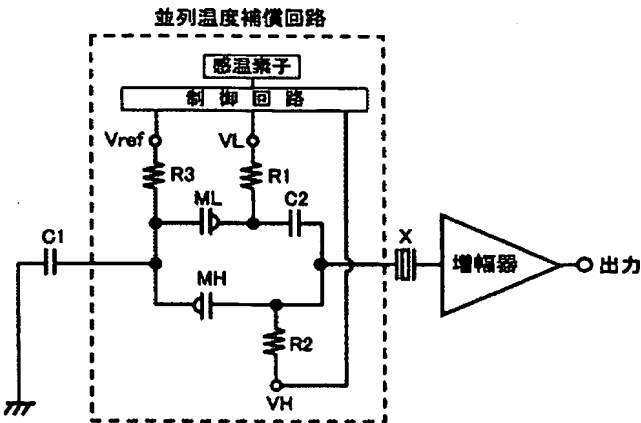


[図9]

(A)

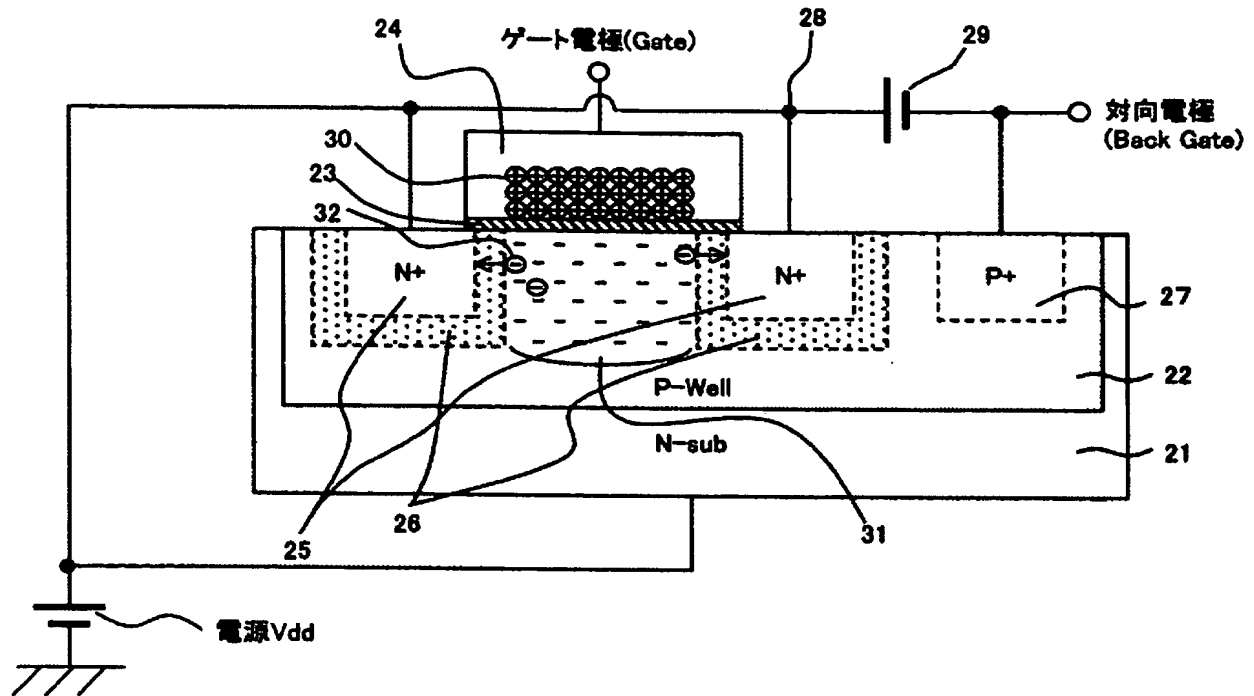


(B)

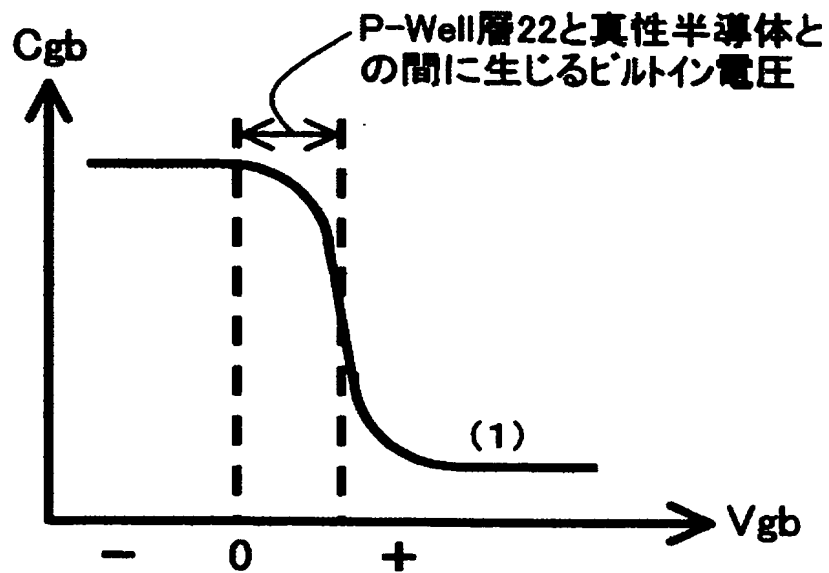


[図10]

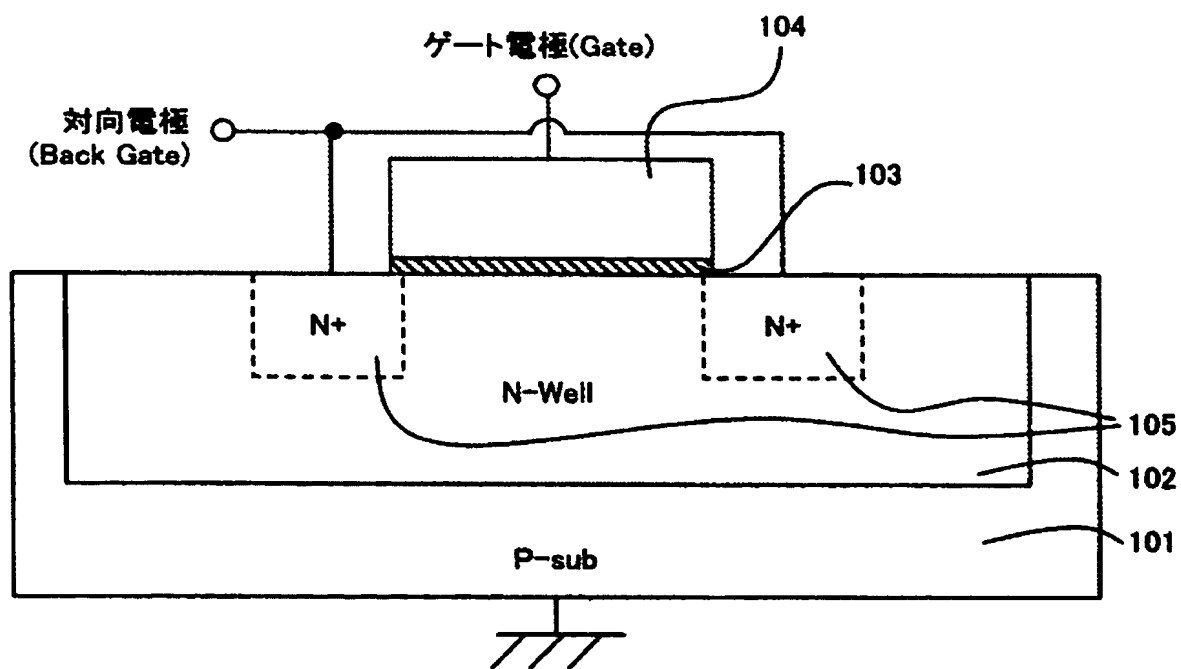
＜図11中 $V_{gb} = (1)$ 付近の状態＞



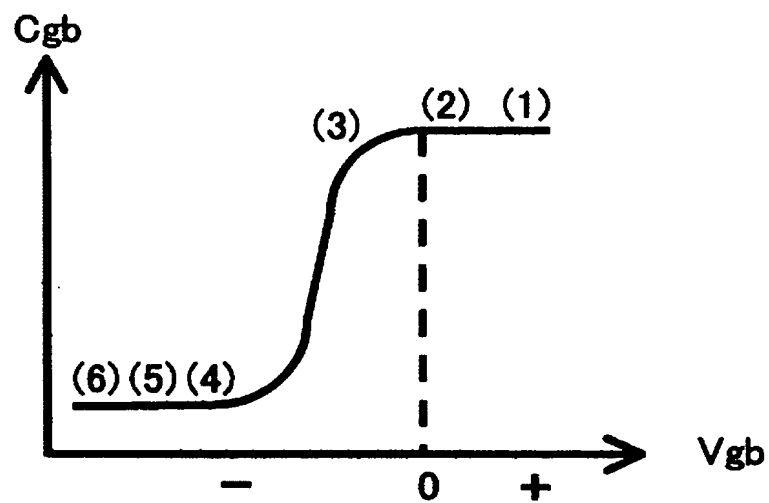
[図11]



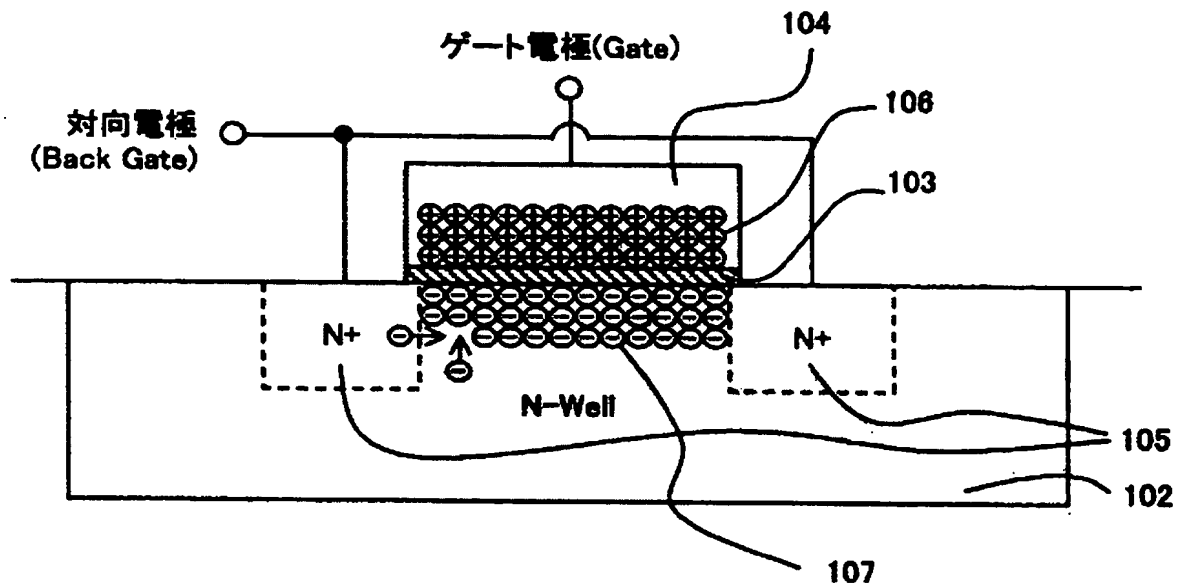
[図12]



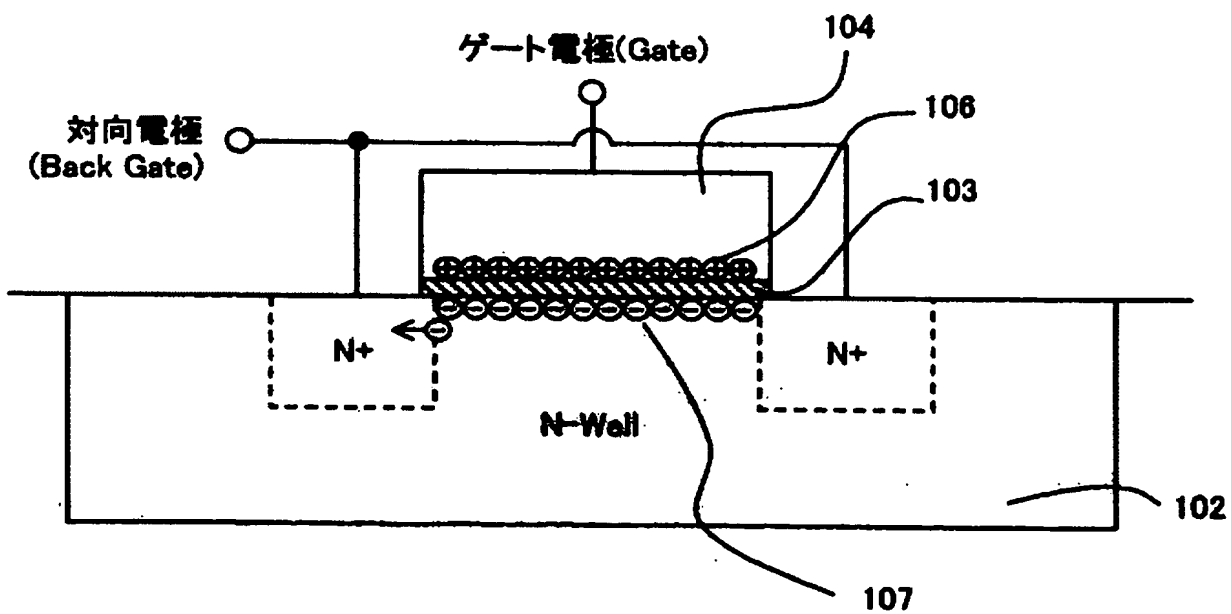
[図13]



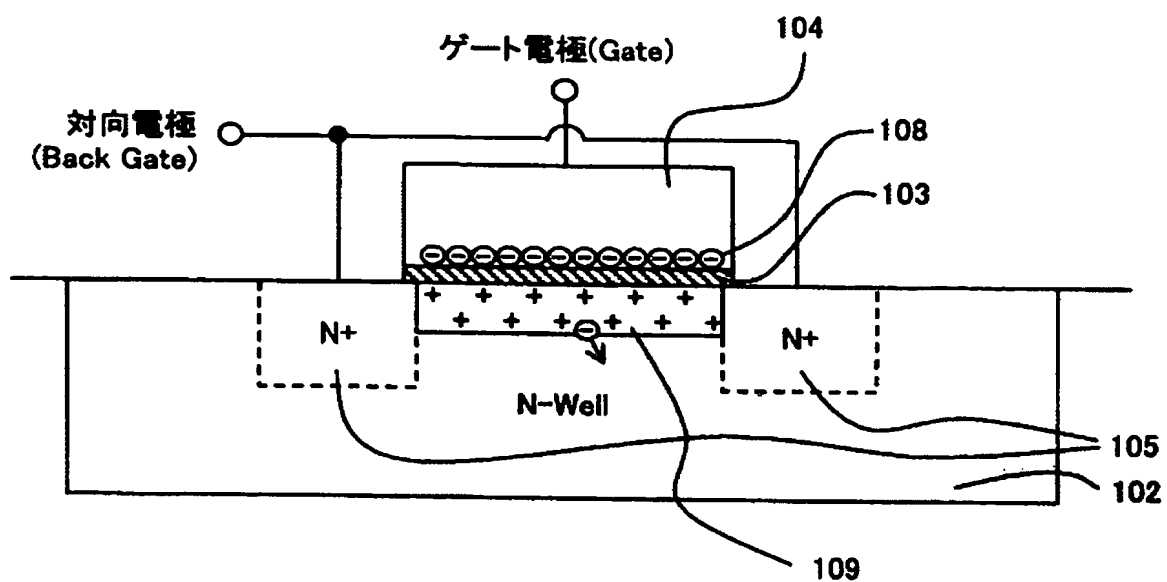
[図14]



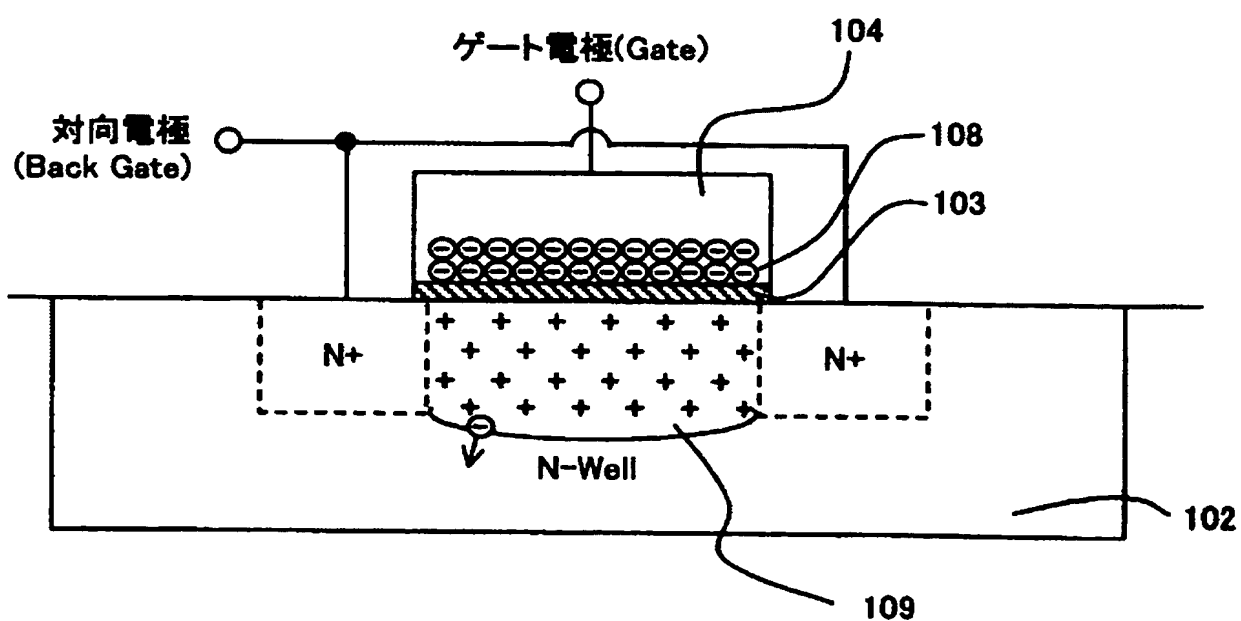
[図15]



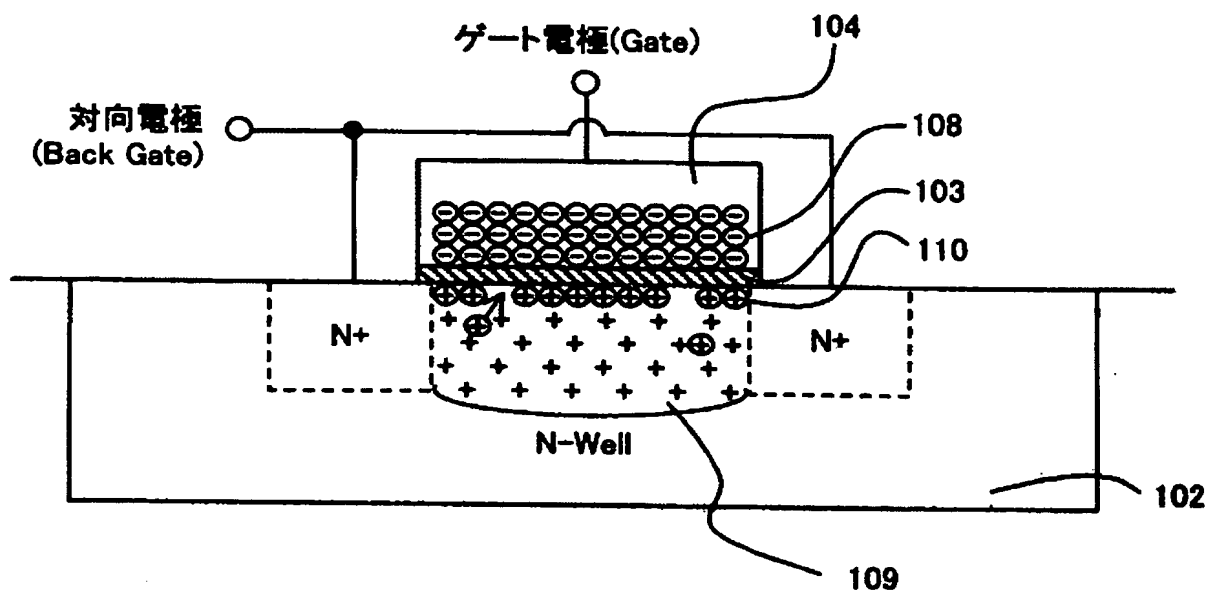
[図16]



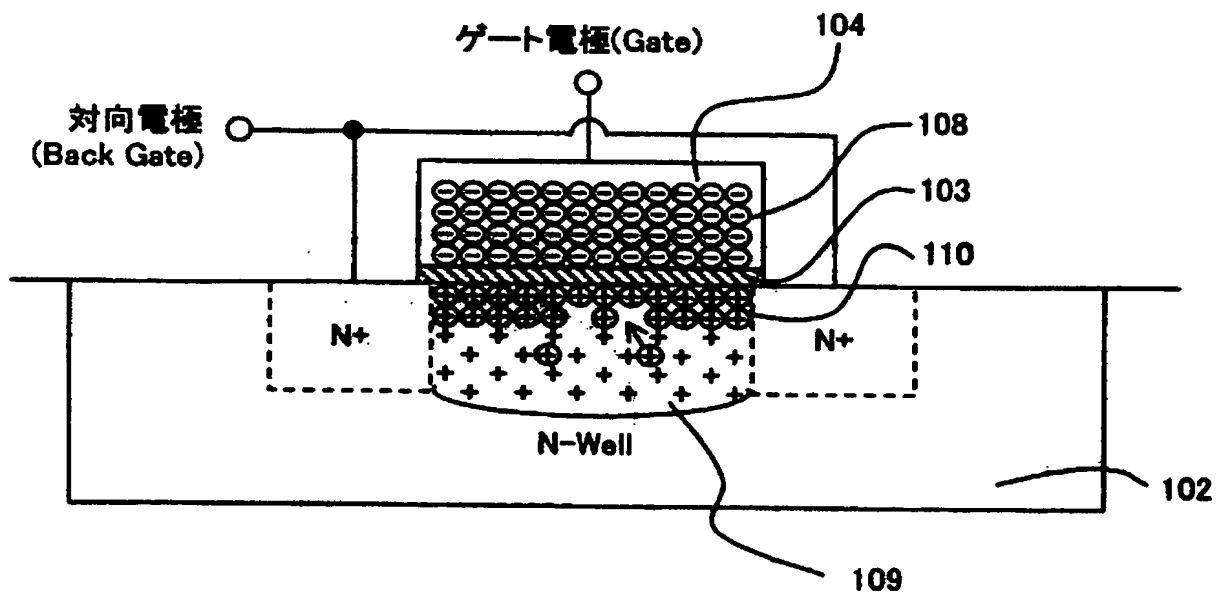
[図17]



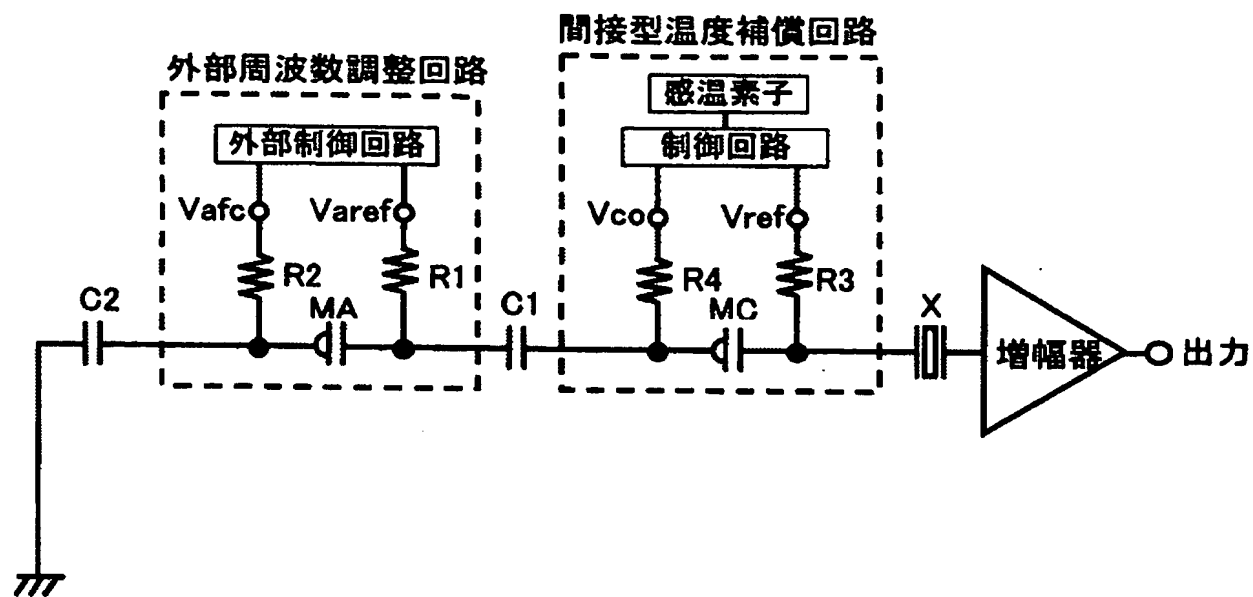
[図18]



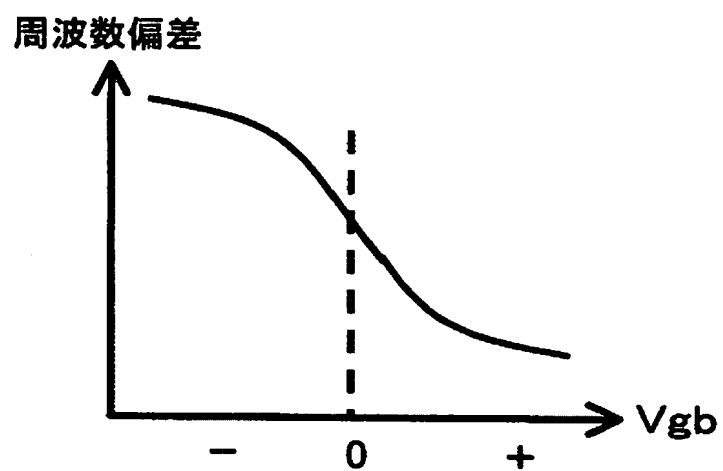
[図19]



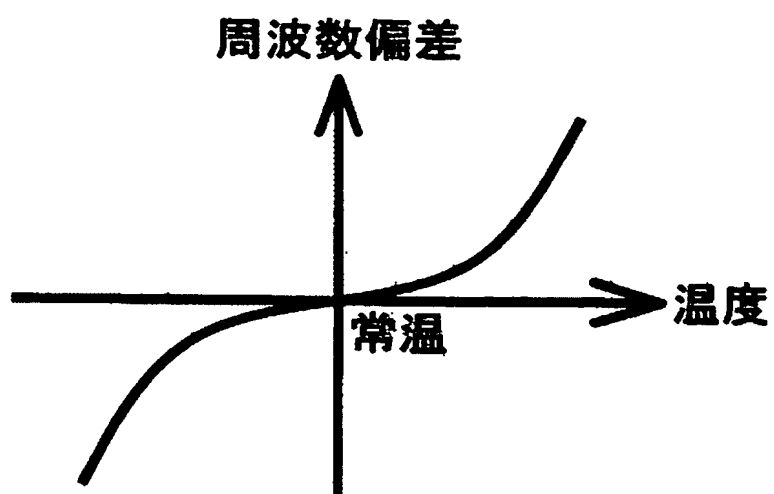
[図20]



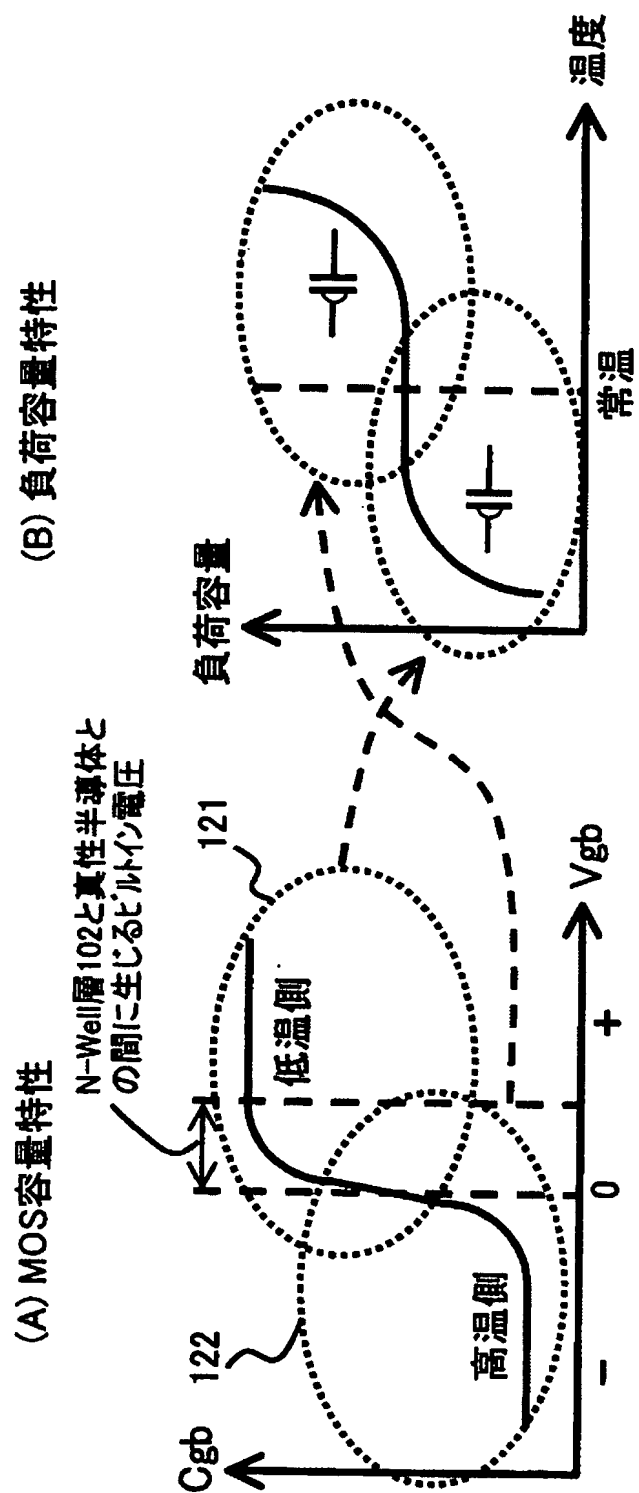
[図21]



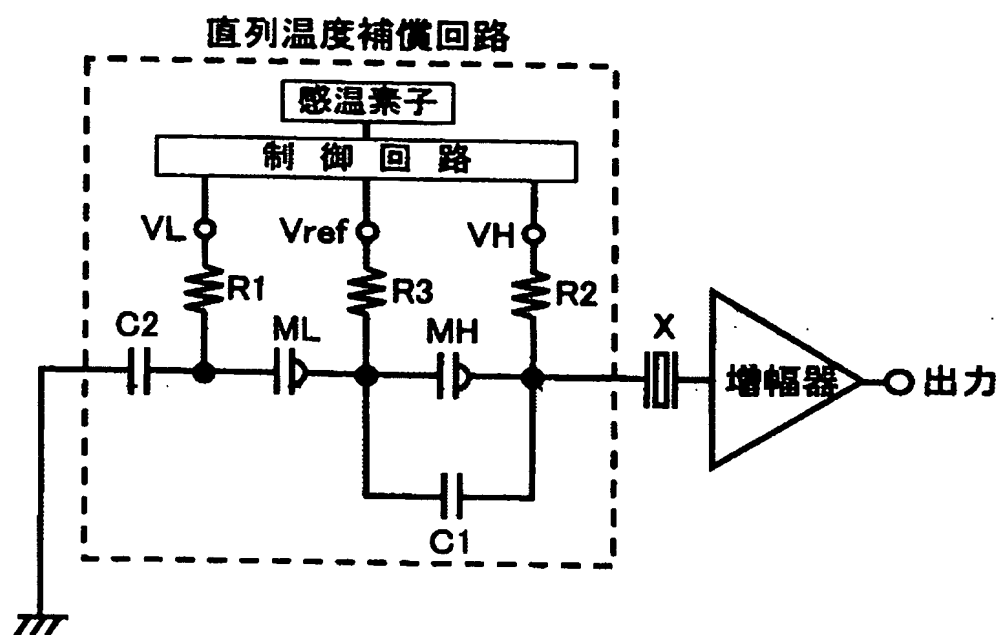
[図22]



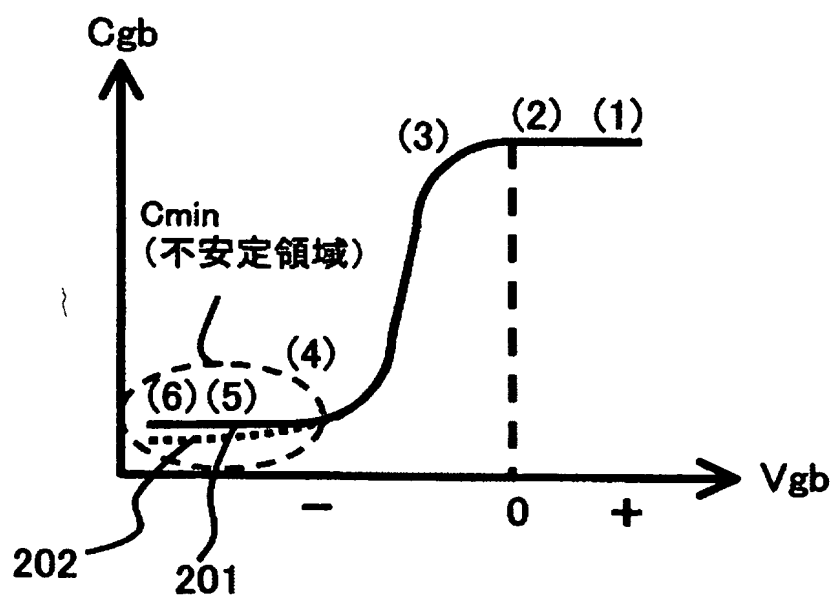
[図23]



[図24]



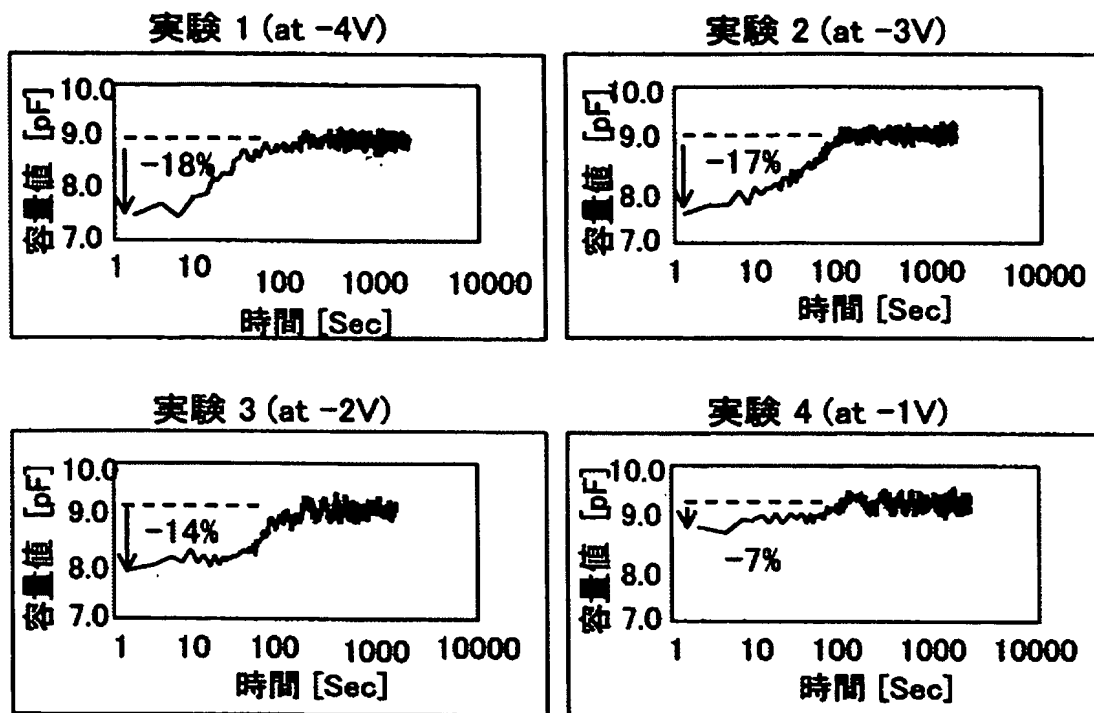
[図25]



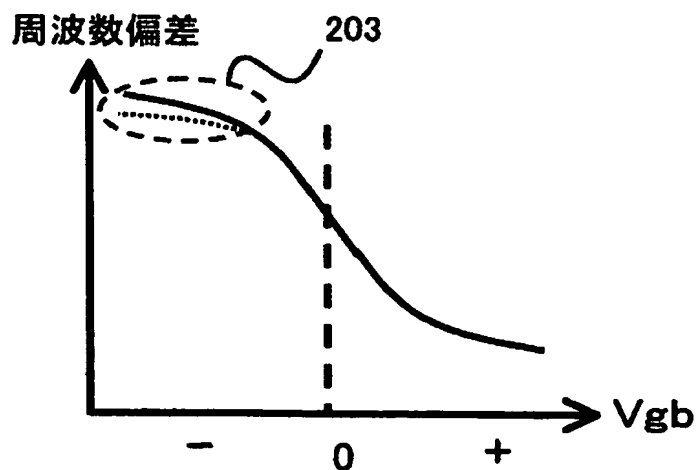
[図26]

Cmin容量値放置実験（初期電圧＝＋4V）

（初期電圧にて約2分放置後実施）

※ V_{gb} が低いほど変動量が大きいが、安定時間は全て約100秒

[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011096

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H03B5/32, H03B5/36, H01L27/04

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H03B5/30-5/42, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004

Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|----------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y | JP 2000-252480 A (Interchip Corp.), 14 September, 2000 (14.09.00), Par. Nos. [0033] to [0046]; Fig. 1 & US 6320474 B1 | 1-7 |
| Y | JP 2002-57526 A (Citizen Watch Co., Ltd.), 22 February, 2002 (22.02.02), Par. No. [0042]; Fig. 15 & US 2001-0045869 A1 | 1-7 |
| Y | JP 2001-60828 A (Toyo Communication Equipment Co., Ltd.), 06 March, 2001 (06.03.01), Par. Nos. [0011] to [0014]; Fig. 9 (Family: none) | 1-7 |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

25 October, 2004 (25.10.04)

Date of mailing of the international search report

09 November, 2004 (09.11.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/011096

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y | Microfilm of the specification and drawings annexed to the request of Japanese Utility Model Application No. 180173/1984 (Laid-open No. 95104/1986) (Alps Electric Co., Ltd.), 19 June, 1986 (19.06.86), Page 6, line 17 to page 15, line 5; Figs. 1 to 5 (Family: none) | 4-7 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl.⁷ H03B5/32, H03B5/36, H01L27/04

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl.⁷ H03B5/30-5/42, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国登録実用新案公報 1994-2004年
 日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|------------------------------------------------------------------------------------------|------------------|
| Y | JP 2000-252480 A (インターチップ株式会社) 2000.09.14, 段落【0033】～【0046】、【図1】 & US 6320474 B1 | 1-7 |
| Y | JP 2002-57526 A (シチズン時計株式会社) 2002.02.22, 段落【0042】、【図15】 & US 2001-0045869 A1 | 1-7 |

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

25.10.2004

国際調査報告の発送日

09.11.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

甲斐 哲雄

5W

3139

電話番号 03-3581-1101 内線 3575

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | JP 2001-60828 A (東洋通信機株式会社) 2001. 03. 06, 段落【0011】～【0014】，【図9】 (ファミリーなし) | 1-7 |
| Y | 日本国実用新案登録出願59-180173号 (日本国実用新案登録出願公開61-95104号) の願書に添付した明細書及び図面の内容を記録したマイクロフィルム (アルプス電気株式会社) 1986. 06. 19, 第6頁第17行～第15頁第5行, 第1図～第5図 (ファミリーなし) | 4-7 |